

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-105070

(43)Date of publication of application : 30.06.1982

(51)Int.Cl.

G06F 15/16

G06F 9/30

(21)Application number : 55-182252

(71)Applicant : FUJITSU LTD

(22)Date of filing : 23.12.1980

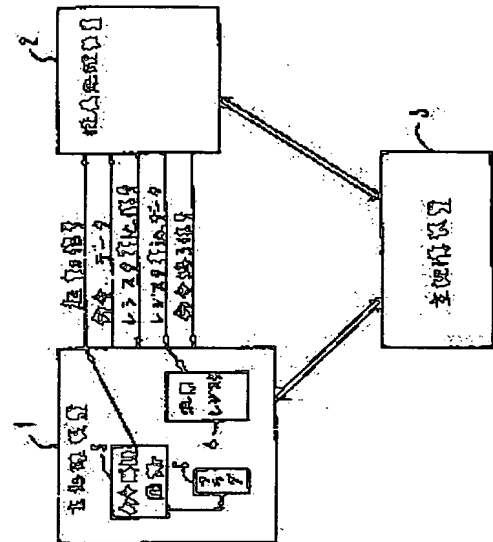
(72)Inventor : SATO KIYOSUMI  
MIZUSHIMA YOSHIHIRO  
UCHIDA KEIICHIRO

## (54) CONTROL SYSTEM OF REGISTER INTERFERENCE

## (57)Abstract:

**PURPOSE:** To perform the interlock control, by giving a flag in case the writing of a register is carried out to an instruction exclusive for a slave processor and accordingly deciding whether a general-purpose register is used or not.

**CONSTITUTION:** The instruction given from a main processor 1 is decoded and executed by a slave processor 2, and the result of the decoding and execution is stored in a main storage device 3, the own arithmetic register, a general-purpose register 4 in the processor 1, etc. according to respective instructions. On the other hand, the instruction read out of the device 3 is decoded at the processor through an instruction decoder circuit 5. In case the instruction is used exclusively for the processor 2, a start signal showing the start of execution of the instruction is sent to the processor 2. When the processor 1 decodes the instruction exclusively used for the processor 2, a flag 6 is given for the use of the specific register 4. With the setting of the flag 6, the process is discontinued for an ordinary instruction using the register 4 until an instruction end signal is received from the processor 2. Then the flag 6 is reset by the end signal to restart the process of the ordinary instruction.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報 (A)

昭57—105070

⑤ Int. Cl.<sup>3</sup>  
G 06 F 15/16  
9/30

識別記号

庁内整理番号  
7165—5B  
6745—5B

⑬ 公開 昭和57年(1982)6月30日

発明の数 1  
審査請求 有

(全 3 頁)

## ⑭ レジスタ干渉制御方式

⑯ 特 願 昭55—182252

⑰ 出 願 昭55(1980)12月23日

⑱ 発 明 者 佐藤清澄

川崎市中原区上小田中1015番地  
富士通株式会社内

⑲ 発 明 者 水島芳宏

⑱ 発 明 者 内田啓一郎

川崎市中原区上小田中1015番地  
富士通株式会社内

⑲ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 山谷皓榮

## 明 細 書

## 1. 発明の名称 レジスタ干渉制御方式

## 2. 特許請求の範囲

主処理装置および従属処理装置を備えた情報処理システムにおいて、従属処理装置に伝達する命令を解説する解説手段と、フラグ部を設け、前記従属処理装置専用の命令に対して、該命令が前記主処理装置内の特定の汎用レジスタを使用するものである際に前記フラグ部に予め定めたフラグを付加し、該フラグがセットされているか否かにしたがつて、前記汎用レジスタを用いる他の一般命令にインターロックをかけることを特徴とするレジスタ干渉制御方式。

## 8. 発明の詳細な説明

本発明は従属処理装置を有する情報処理システムにおいて、従属処理装置専用の命令を主処理装置が処理する際、従属処理装置が主処理装置内の

汎用レジスタへの書き込みを含めて全て完了するまで、汎用レジスタを使用する該一般命令のパイプラインサイクルにインターロックするようにしたレジスタ干渉制御方式に関するものである。

複数の命令を同時に並行処理するパイプライン制御方式は知られている。このような制御方式において、従属処理装置を有する主処理装置は、主記憶装置から読出された命令を解説する際、それが従属処理装置専用の命令である場合には、それらの命令コード、オペランドコードおよび演算レジスタの内容が従属処理装置に送られる。また、それらの命令の実行開始を指令する起動信号も従属処理装置に送られるようになっている。

しかしながら、従来のこの種の装置においては、複数の命令が処理される際、その処理結果が主処理装置内に設けられた汎用レジスタに入れられるものであるかどうかを判らず、かつそれらの命令が汎用レジスタを使用する命令であるかどうか識別できなかった。

本発明は上記の如き問題を解決するもので、従

従属処理装置専用の命令が特定の汎用レジスタを使用するものであるかどうかをチェックして該レジスタへの入力が行なわれるべき命令である場合には、それを示すフラグビットを付加し、従属処理装置専用命令の送出が全て終了して主処理装置が一般命令を実行する際に、上記フラグビットがセットされていると、前記特定の汎用レジスタを使用する一般命令のパイプラインサイクルにインターロックがかけられ、従属処理装置によるレジスタ使用終了後に一般命令の処理を再開するようにしたレジスタ干渉制御方式を提供するものである。そしてこのために本発明におけるレジスタ干渉制御方式では、主処理装置および従属処理装置を備えた情報処理システムにおいて、従属処理装置に伝達する命令を解読する解読手段と、フラグ部を設け、前記従属処理装置専用の命令に対して、該命令が前記主処理装置内の特定の汎用レジスタを使用するものである際に前記フラグ部に予め定めたフラグを付加し、該フラグが記入されているか否かにしたがって、前記汎用レジスタを用いる他の

値3または自己の演算レジスタ(図示せず)、あるいは主処理装置1内の汎用レジスタ4などにそれぞれの命令にしたがって適宜、記憶される。一方、主処理装置1は主記憶装置3から読出された命令を解読し、それが従属処理装置2専用の命令である場合には、それらの命令コード、オペランドアドレス、あるいは演算レジスタ(データ)の内容と共に、それらの命令の実行開始を示す起動信号を従属処理装置2へ送り出す。また、従属処理装置2から命令終了信号が主処理装置1へ同けて送られるが、該命令終了信号は一命令ごとに送出されるのではなく、処理結果が主記憶装置3および主処理装置1内の汎用レジスタ4への記憶を含めて全て終了したあとで、まとめて送出される。このようにして主処理装置1が従属処理装置専用の命令を解読する際、当該命令が特定の汎用レジスタ4を使用するものであるときに、フラグビットを付加するようにしておいて、その命令が解読された際に、フラグ部6をセットする。そして従属処理装置専用命令の送出が全て終り、

一般命令にインターロックをかけることを特徴とする。

次に本発明の実施例を、添付の図面を参照して説明する。

図は本発明によるレジスタ干渉制御方式を実現する実施例の情報処理システムを示す。図において、1は主処理装置、2は主処理装置1と各信号、データ、および命令の送受信を行なうとともに、これらに応じた演算を行なう従属処理装置、3は主記憶装置をそれぞれ示す。主処理装置1には汎用レジスタ4、命令デコーダ5の他に、本発明によるレジスタ番込みフラグ(ロードフラグ)6が設けられている。このフラグ6は命令デコーダ5で解読された命令中に、特定の汎用レジスタ4を使用すべきことが検出された場合にセットされるようになっている。

このように構成された本発明の実施例の動作を次に説明する。

従属処理装置2は主処理装置1から送出された命令を解読して実行し、その演算結果は主記憶装

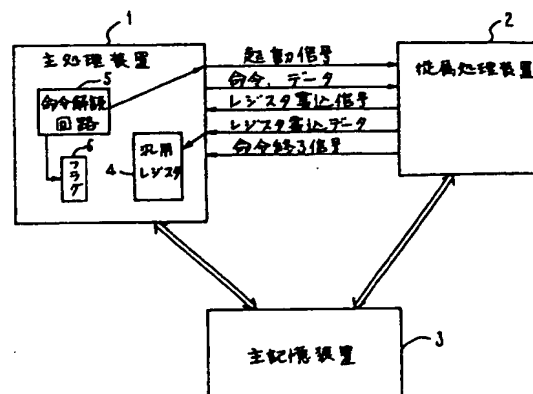
主処理装置1が従属処理装置2からの命令終了信号を待つ状態になると、主処理装置1はそれ自身が実行する一般命令の実行を一部開始する。しかし前記フラグがセットされているとき主処理装置1は従属処理装置2から前記命令終了信号を受けるまで前記汎用レジスタ4を使用する一般命令中におけるパイプラインサイクルにインターロックをかけてこれを一時停止させる。そして従属処理装置2から汎用レジスタ4へのレジスタ番込みが終了した後、送出される命令終了信号を受けることによつてフラグをリセットし、インターロックを解除して汎用レジスタ4の正しい内容を使用して主処理装置1の一般命令の処理を再開する。

以上述べたように、本発明においては、従属処理装置専用の命令にレジスタ番込みがある場合フラグを付けることによつて汎用レジスタが使用されるか否かが判定され、一般命令のパイプラインサイクルにインターロック制御が行ないうる効果を奏する。

## 4. 図面の簡単な説明

図は本発明のレジスタ干渉制御方式を要約する情報処理システムの一実施例を示す。

図中、1は主処理装置、2は従属処理装置、3は主記憶装置、4は汎用レジスタ、5は命令デコーダ、6はフラグを夫々示す。



特許出願人 富士通株式会社  
代理人 弁護士 山谷 皓 榮